

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-023705

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 2000-205561

(71)Applicant : HITACHI LTD

(22)Date of filing : 03.07.2000

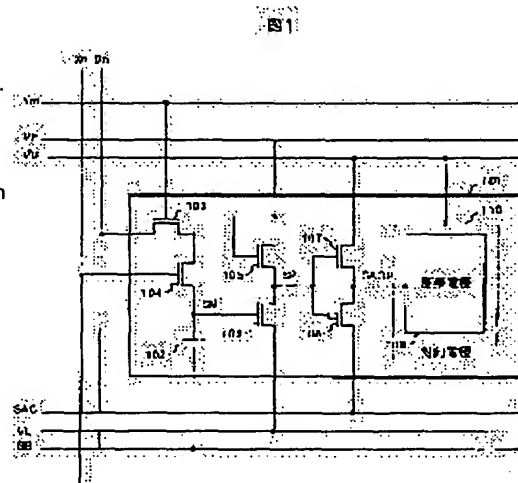
(72)Inventor : KUDO YASUYUKI
FURUHASHI TSUTOMU
MIKAMI YOSHIKI
KOMURA SHINICHI
MIYAZAWA TOSHIO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device capable of avoiding such a state that the circuit becomes complex, by reducing the number of wirings to be connected to a pixel even when gradation information included in display data is increased, and its driving method in a matrix type liquid crystal display device in which a memory function is provided at a pixel part and whose power consumption is lowered.

SOLUTION: In this display device, a Y selection signal line, an X selection signal line and a gradation signal line are connected to each pixel of the liquid crystal display device and each pixel is constituted of a memory means holding a gradation voltage corresponding to display data to be applied from the gradation signal line in timing when signals to be applied from the Y selection signal line and the X selection signal line become both active, a pulse width converting means generating a pulse width signal by time-modulating the level of the voltage held by the memory means, a switching means switching an AC signal and the center voltage of the AC signal by the value of the pulse width signal and a pixel electrode which is connected to the switching means and the center voltage is applied to an counter electrode existing at the opposite side of the pixel electrode across a liquid crystal layer.



LEGAL STATUS

[Date of request for examination]

24.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(書誌+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)

(12)【公報種別】公開特許公報(A)

(11)【公開番号】特開2002-23705(P2002-23705A)

(43)【公開日】平成14年1月25日(2002.1.25)

(54)【発明の名称】液晶表示装置

(51)【国際特許分類第7版】

G09G 3/36

G02F 1/133 525

550

575

G09G 3/20 611

621

623

631

641

【FI】

G09G 3/36

G02F 1/133 525

550

575

G09G 3/20 611 A

621 B

623 C

631 B

641 A

【審査請求】未請求

【請求項の数】15

【出願形態】OL

【全頁数】18

(21)【出願番号】特願2000-205561(P2000-205561)

(22)【出願日】平成12年7月3日(2000.7.3)

(71)【出願人】

【識別番号】000005108

【氏名又は名称】株式会社日立製作所

【住所又は居所】東京都千代田区神田駿河台四丁目 6 番地

(72)【発明者】

【氏名】工藤 泰幸

【住所又は居所】神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所システム
開発研究所内

(72)【発明者】

【氏名】古橋 勉

【住所又は居所】神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所システム
開発研究所内

(72)【発明者】

【氏名】三上 佳朗

【住所又は居所】茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

(72)【発明者】

【氏名】小村 真一

【住所又は居所】茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

(72)【発明者】

【氏名】宮沢 敏夫

【住所又は居所】千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所ディスプレイグルー
プ内

(74)【代理人】

【識別番号】1 0 0 0 7 5 0 9 6

【弁理士】

【氏名又は名称】作田 康夫

【テーマコード（参考）】

2H093

5C006

5C080

【F ターム（参考）】

2H093 NA16 NA34 NA56 NC13 NC15 NC21 NC34 NC40 NC49 ND06 ND35 ND39 ND49 NH14 NH18

5C006 AA15 AC11 AC21 AC26 AF03 AF04 BB16 BC11 FA42 FA47

5C080 AA10 BB05 DD23 DD26 EE29 FF11 GG12 JJ02 JJ03 JJ04

(57)【要約】

【課題】メモリ機能を画素部に具備し、低消費電力化を図ったマトリクス型の液晶表示装

置において、表示データの含む階調情報量が増加しても、画素に接続する配線本数を少なく抑え、回路の複雑化を回避可能な表示装置、及びその駆動方法を提供することにある。

【解決手段】液晶表示装置の各画素には、Y選択信号線、X選択信号線、及び階調信号線が接続され、各画素は、該Y選択信号線と該X選択信号線から与えられる信号が、共にアクティブとなるタイミングで、階調信号線から与えられる表示データに対応した階調電圧を保持するメモリ手段と、該メモリ手段が保持した電圧レベルを時間変調してパルス幅信号を生成するパルス幅変換手段と、該パルス幅信号の値により、交流信号と該交流信号のセンタ電圧を切換えるスイッチ手段と、該スイッチ手段に接続された画素電極から構成され、液晶層と挟んで画素電極の対向側にある対向電極には、該センタ電圧を印加することを特徴とする。

【特許請求の範囲】

【請求項1】マトリックス状に複数の画素を構成する液晶パネルと、行を選択するための複数のY選択信号線を有するY選択信号生成部と、列を選択するための複数のX選択信号線を有するX選択信号生成部とを有し、前記液晶パネルの前記複数の画素のそれぞれは、各画素の表示データが表す階調情報に応じた階調電圧を保持する記憶手段を配置し、前記X選択信号生成部は、入力された表示データに応じた階調電圧を、前記記憶手段の内、選択状態を示す信号を与えられた前記X選択信号線及び前記Y選択信号線によって特定される画素の記憶素子に階調信号線を介して与えることを特徴とする液晶表示装置。

【請求項2】請求項1記載の液晶表示装置において、前記階調信号線は、前記X選択信号線とは異なり、前記複数の各画素に対して画素毎に階調電圧を独立に供給するものであることを特徴とする液晶表示装置。

【請求項3】マトリックス状に配置された複数の画素を備えた液晶パネルを備える液晶表示装置であって、前記マトリックス状に配置された画素の内、列を選択するX選択信号を出力するX選択信号生成部と、前記マトリックス状に配置された画素の内、行を選択するY選択信号を出力するY選択信号生成部とを有し、前記液晶パネルは、前記複数の画素に対応して、前記X選択信号およびY選択信号によって選択されると表示データが表す階調情報に応じた階調電圧の保持を開始するメモリ回路と、前記メモリ回路が保持した階調電圧を、パルス幅信号に変換するパルス幅変換回路と、前記変換されたパルス幅信号に応じて第1の液晶印加電圧と第2の液晶印加電圧のどちらかを選択するスイッチ回路と、前記スイッチ回路で選択された前記第1の液晶印加電圧または前記第2の液晶印加電圧を液晶に与える画素電極とを有することを特徴とする液晶表示装置。

【請求項4】少なくとも一方が透明の一对の基板と、その一对の基板に挟持された液晶層を有し、複数の画素をマトリックス状に配置する液晶パネルを有する液晶表示装置におい

て、前記マトリックス状に配置された画素の内、列を選択するX選択信号 を出力するX選択信号 生成部と、前記マトリックス状に配置された画素の内、行を選択するY選択信号 を出力するY選択信号 生成部とを有し、前記液晶パネルの前記一对の基板の一方には、前記複数の画素から特定画素を特定するよう前記Y選択信号 生成部からのY選択信号 により行を選択するための複数のY選択信号 線と前記X選択信号 生成部からのX選択信号 により列を選択するための複数のX選択信号 線と、各列の画素毎に表示データの持つ階調情報に応じた階調電圧を与えるための複数の階調信号 線とを配置し、前記画素には、対応する前記Y選択信号 線、前記X選択信号 線、及び前記階調信号 線が接続され、前記画素は、前記Y選択信号 線と前記X選択信号 線から与えられる信号 が、共に選択状態を示すタイミングで、階調信号 線から与えられる表示データの持つ階調情報に応じた階調電圧の保持を開始するメモリ手段と、該メモリ手段が保持 した電圧レベルを時間変調して2値のパルス幅信号 を生成するパルス幅変換手段と、該2値のパルス幅信号 の“ハイ”と“ロー”に従い、交流信号 と該交流信号 のセンタ電圧を切替えるスイッチ手段と、該スイッチ手段と接続された画素電極から構成され、該一对の基板の他方には、全画素共通の対向電極が具備され、該対向電極には該センタ電圧が印加されることを特徴とする液晶表示装置。

【請求項5】請求項3の液晶表示装置において、前記画素内部に具備されたパルス幅変換手段は、前記メモリ手段で保持 された階調電圧に、時間毎に電位が変化するスイープ信号 の電圧を加算する手段と、この加算された電圧のレベルがある設定値を超えるかどうかで、“ハイ”または“ロー”を出力するスイッチ手段から構成されることを特徴とする液晶表示装置。

【請求項6】請求項3または4の液晶表示装置において、前記画素電極に交流信号 を出力する時間は、該交流信号 の交流周期 T を表示データの持つ階調数の二乗で分割した時間 t_a に対し、 t_a と階調情報を階調情報の二乗を乗算した時間であり、前記交流信号 の振幅は一定であることを特徴とする液晶表示装置。

【請求項7】請求項3または4の液晶表示装置において、前記画素電極に交流信号 を出力する時間は、該交流信号 の交流周期 T を表示データの持つ階調数で分割した時間 t_b に対し、 t_b と階調情報を乗算した時間であり、前記交流信号 の振幅は、2を前記階調数で除算した値の平方根に、基準振幅 α を乗算した値ずつ前記分割時間 t_b 毎に増加することを特徴とする液晶表示装置。

【請求項8】マトリックス状に配置された複数の画素を備えた液晶パネルを備えた液晶表示装置において、前記液晶パネルは、前記各画素にそれぞれ表示データの持つ階調情報に応じた階調電圧を保持 するメモリ回路を備えており、前記メモリ回路に保持 された階調電圧をリフレッシュする回路と、階調情報に応じて前記メモリ回路に保持 された階調電圧の書き換えを行う回路を備えた液晶駆動回路 を備え、前記液晶駆動回路 は予め定められた周期の予め定められた期間リフレッシュ動作を行い、その他の期間では、前記階調電圧の書き換えを行うことを特徴とする液晶表示装置。

【請求項 9】マトリクス状に配置された複数の画素を備えた液晶パネルを備える液晶表示装置であって、前記マトリクス状に配置された画素の内、列を選択するX選択信号 を出力するX選択信号 生成部と、前記マトリクス状に配置された画素の内、行を選択するY選択信号 を出力するY選択信号 生成部とを有し、前記液晶パネルは、前記Y選択信号 生成部からのY選択信号 により行を選択するための複数のY選択信号 線と、前記X選択信号 生成部からのX選択信号 により列を選択するための複数のX選択信号 線と、前記複数の画素の各列の画素に表示データの持つ階調情報に応じた階調電圧を与える階調信号 線を有し、前記X選択信号 生成部は、階調情報を含む表示データと、前記表示データを表示すべき位置を示すアドレス情報を入力し、前記表示データとアドレス情報を基に、前記階調情報に応じた階調電圧を生成することを特徴とする液晶表示装置。

【請求項 10】マトリクス状に配置された複数の画素を備えた液晶パネルを備える液晶表示装置であって、前記マトリクス状に配置された画素の内、行を選択するY選択信号 を出力するY選択信号 生成部とを有し、前記液晶パネルは、前記Y選択信号 生成部からのY選択信号 を入力する行を選択するための複数のY選択信号 線と、各列の画素に表示データの持つ階調情報に応じた階調電圧を与える階調信号 線と、前記複数の画素の夫々に対応して階調電圧を保持 するメモリ手段を備え、選択状態を示す信号 を与えられた前記Y選択信号 線上の画素に対応するメモリ手段に、前記階調信号 線から表示データが表す階調情報に応じた階調電圧を与えることで、前記Y選択信号 線上の画素に階調を表示させることを特徴とする液晶表示装置。

【請求項 11】少なくとも一方が透明の一对の基板と、その一对の基板に挟持された液晶層を有し、複数の画素をマトリクス状に配置する液晶パネルを有する液晶表示装置において、前記マトリクス状に配置された画素の内、行を選択するY選択信号 を出力するY選択信号 生成部とを有し、前記液晶パネルの前記一对の基板の一方には、前記複数の画素から特定画素を特定するよう、前記Y選択信号 生成部からのY選択信号 により行を選択するための複数のY選択信号 線と、各列の画素毎に表示データの持つ階調情報に応じた階調電圧を与えるための複数の階調信号 線を配置し、前記画素には、対応する前記Y選択信号 線及び前記階調信号 線が接続され、前記画素は、前記Y選択信号 線から与えられる信号 が選択状態を示すタイミングで、階調信号 線から与えられる表示データの持つ階調情報に応じた階調電圧を保持 するメモリ手段と、該メモリ手段が保持 した電圧レベルを時間変調して2値のパルス幅信号 を生成するパルス幅変換手段と、該2値のパルス幅信号 の“ハイ”と“ロー”に従い、交流信号 と該交流信号 のセンタ電圧を切換えるスイッチ手段と、該スイッチ手段と接続された画素電極からとを有し、該一对の基板の他方には、全画素共通の対向電極が具備され、該対向電極には該センタ電圧が印加されることを特徴とする液晶表示装置。

【請求項 12】請求項 11の液晶表示装置において、前記画素内部に具備されたパルス幅変換手段は、前記メモリ手段で保持 された階調電圧に、時間毎に電位が変化するスイープ

信号の電圧を加算する手段と、この加算された電圧のレベルがある設定値を超えるかどうかで、“ハイ”または“ロー”を出力するスイッチ手段から構成されることを特徴とする液晶表示装置。

【請求項13】請求項11または12の液晶表示装置において、前記画素電極に交流信号を出力する時間は、該交流信号の交流周期 T を表示データ持つ階調数の二乗で分割した時間 t_a に対し、 t_a と階調情報を階調情報の二乗を乗算した時間であり、前記交流信号の振幅は一定であることを特徴とする液晶表示装置。

【請求項14】請求項11または12の液晶表示装置において、前記画素電極に交流信号を出力する時間は、該交流信号の交流周期 T を表示データ持つ階調数で分割した時間 t_b に対し、 t_b と階調情報を乗算した時間であり、前記交流信号の振幅は、2を前記階調数で除算した値の平方根に、基準振幅 α を乗算した値ずつ前記分割時間 t_b 毎に増加することを特徴とする液晶表示装置。

【請求項15】行を選択するための複数のY選択信号線と、各列の画素に表示データの持つ階調情報に応じた階調電圧を与える階調信号線と、前記Y選択信号線と前記階調信号線の交点に対応して、それぞれ階調電圧を保持するメモリ機能を備えた画素を配置したマトリクス型の液晶パネルであって、前記液晶パネルは、前記表示データを表示すべき位置を示す行方向のアドレス情報と、表示すべき位置にある行の表示データとを入力し、前記アドレス情報を基に前記複数のY選択信号線の1つを選択するY駆動回路と、前記表示データを基に、前記階調情報に応じた階調電圧を生成する、階調電圧駆動回路を備えたことを特徴とする液晶表示装置。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス型液晶表示装置に係り、特に画素部にメモリ手段を具備したマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】複数の走査線とデータ線のマトリクス交点近傍の画素にスイッチ素子、画素容量、画素電極を設け、液晶を挟んだ対向側に対向電極を設けた、従来のマトリクス型液晶表示装置の駆動方法として、下記の方法がある。1画面全体を表示するために要する時間であるフレーム期間において、走査線には選択ラインを指示する選択信号を1本ずつ時分割で印加し、データ線には選択ライン上の表示データの持つ階調情報に従ったレベルの階調信号を、選択電圧に同期して1ライン分一斉に印加する。この動作により、選択信号の印加された走査ライン上の画素のスイッチ素子は、選択信号が印加されている間一時的にオン状態となり、この時データ線から階調信号が画素容量に印加される。これにより、画素電極と対向対向電極との間に電圧差が生じ、次のフレーム期間で再び選択信号が

印加されるまで、この電圧差が保持される。この動作により、印加電圧の実効値で光の透過率（以下、単に表示輝度と呼ぶ）が変化するマトリクス型液晶表示装置において、各画素の表示輝度を個別に制御することができる。なお、この駆動方法においては、液晶の劣化を防止する目的で、次のフレーム期間で印加する階調信号は、ある基準電圧を中心に反転したレベルとする。以下、このフレーム毎の極性反転の動作を、単に交流化と呼ぶ。また、本液晶表示装置を用いて4階調を表示する場合の液晶印加電圧の例を図2に示す。

【0003】前記した従来の技術によれば、例えば表示する画像が静止画であっても、常に表示データを液晶表示装置に入力する必要がある。また、交流化を実現するため、選択信号と階調信号は、少なくともフレーム毎に1回は変化させる必要がある。これらの動作に多くの電力を消費していた。この点を改善する液晶表示装置として、各画素に表示データを保持するメモリ手段と、保持されたデータに応じてスイッチングを制御するスイッチ手段を具備すると共に、対向電極に交流波形を印加するものが、特開平9-258168号公報、特開平11-2797号公報に開示されている。この装置によれば、例えば静止画を表示する場合、メモリ手段がデータを保持する時間、表示データを入力する必要がなく、また、走査線とデータ線に印加する電圧も変化させる必要がない。一方、交流化は、表示データの入力等とは非同期に実現することができる。

【0004】

【発明が解決しようとする課題】上記従来技術は、表示データの含む階調情報量が増加するに伴い、画素に接続する表示データの配線本数が増加し、回路が複雑化する課題がある。例えば、表示データが1画素あたり2階調（＝2の1乗）の情報を含む場合、配線本数は1画素当たり1本で良いが、64階調（＝2の6乗）の場合には、1画素当たり6本必要となる。

【0005】本発明の目的は、マトリクス型の液晶表示装置において、表示データの含む階調情報量が増加しても、画素に接続する配線本数を少なく抑えることができる液晶表示装置を提供することにある。

【0006】また、本発明の他の目的は、マトリクス型の液晶表示装置において、低消費電力にて多階調表示装置を提供することをににある。

【0007】

【課題を解決するための手段】前記した課題である、画素に接続する配線本数を少なく抑えるためには、従来の技術と同様、階調情報を多レベルの階調信号に変換し、この階調信号を各画素に入力することが望ましい。これにより、1本の配線で多値の階調情報を入力することが可能になる。また、この階調信号を保持するメモリ手段を画素内部に設ける。これにより、画素に接続する配線本数を少なく抑えることができる。また、メモリ手段が表示データ（階調信号）を保持する時間、外部からの信号入力や、走査線とデータ線への電圧印加が不用となる。

【0008】次に、保持した階調信号を、交流の液晶印加電圧に変換する手段として、

パルス電圧への変換を図ることにした。この理由は、パルス幅制御を用いることにより、2 値の電圧レベル（交流を含むと 3 値）で液晶印加電圧の実効値を制御できるため、回路が簡略化できることによる。例えば、先の図 2 に示した各階調毎の液晶印加電圧波形は、図 3 に示す交流パルス波形と、電圧実効値の点において等価である。したがって、印加電圧の実効値で表示輝度が変化する液晶にとっては、どちらの波形を印加しても同じ表示輝度が得られる。

【0009】そこで本発明の液晶表示装置では、図 4 に示すように、まず表示データの持つ階調情報を階調信号 D に変換する手段を設け、この階調信号 D を画素に入力することにした。そして、画素内部には、階調信号 D を保持するメモリ手段、保持された階調信号 D を 2 値のパルス信号 SP に変換する手段、2 値のパルス信号 SP の“ハイ”と“ロー”を基に交流パルス信号 SACP を生成する手段をそれぞれ設け、この交流パルス信号 SACP を液晶に印加することにした。より具体的には、図 5 に示すように、メモリ手段で保持された階調信号 D の電圧レベルにスイープ信号の電圧レベルを加算し、これをメモリ信号 SM として、次段のスイッチ手段の制御信号とした。これにより、スイッチ手段がハイとローを出力するパルスの時間幅を、階調信号 D のレベルによって制御することができる。さらに、このスイッチ手段が出力するパルス信号 SP を、次段のスイッチ手段の制御信号とした。これにより、スイッチ手段が交流信号 またはセンタ電圧を出力する時間幅を、パルス信号 SP によって制御することができる。以上の動作により、画素内で保持した階調信号 D を、図 3 に示した交流のパルス波形に変換することが可能となる。

【0010】本発明の液晶表示装置によれば、表示データが含む階調情報量が増加しても、この情報を伝達するための配線は 1 本で済み、また、画素内部も 1 個のメモリ手段と 2 個のスイッチ手段で構成できる。

【0011】

【発明の実施の形態】以下、本発明第 1 の実施の形態を、図 1 および図 6～27 を用いて説明する。図 1 は本発明第 1 の実施の形態に係るマトリクス型液晶表示装置における、m 行 n 列番目の画素の構成を示す図である。画素 101 は、例えば 1 個の容量 102、5 個の N 型 MOS トランジスタ 103～107、1 個の P 型 MOS トランジスタ 108、画素電極 109、及び液晶層を介して画素電極 109 と対向側にある対向電極 110 から構成さる。また、画素に入力する信号は、Y 選択信号 Ym、X 選択信号 Xn、階調信号 Dn、スイープ信号 SB、交流信号 SAC であり、画素に入力する電圧は、ハイ電圧 VH、ロー電圧 VL、センタ電圧 VC である。これらの接続については、図 1 に示す通りである。

【0012】次に、先の図 3 で示した、階調 2 の液晶印加電圧波形を生成する場合を例にとり、図 6～図 8 を用いて画素 101 の動作を説明する。図 6 は画素入力信号群のタイミングチャートである。まず、スイープ信号 SB は、交流化周期 T に同期とした階段状の波形であり、始めの ($T/9$) 時間は 2B、次の ($3T/9$) 時間は B、最後の ($5T/9$) 時間は GND レベルに遷移する。ここで、電圧 2B のレベルはロー電圧 VL よりも ($B/2$)

分低いものとする。

【0013】次に、Y選択信号 Y_m は、通常はGNDレベルであり、画素に階調情報を書き込むタイミングで波高値 y の選択オン電圧 V_G に遷移する、いわゆるパルス波形である。同様に、X選択信号 X_n も通常はGNDレベルであり、画素に階調情報を書き込むタイミングで波高値 y の選択オン電圧 V_G に遷移する。なお、選択オン電圧 V_G のレベルは、ハイ電圧 V_H よりも高い。

【0014】次に、階調信号 D_n は、通常はGNDレベルであり、画素に階調情報を書き込むタイミングでは、スイープ信号 S_B の電圧レベルに対し、階調情報に応じた電圧を加算した電圧レベルに遷移する。階調情報と加算する電圧レベルの関係については、図7に示す通りである。 D_n 線に印加する階調信号は、MPUの命令でシステムバスから転送される、複数ビットの階調情報を持つ表示データが表す階調情報を、図7に示した関係に基づき電圧レベルに変換したものである。なお、本説明は階調2を表示する例であり、また画素に階調情報を書き込むタイミングにおいて、イープ信号 S_B の電圧レベルがGNDレベルであることから、この時の階調信号 D_n の電圧レベルは2Bとなる。

【0015】これらの電圧を画素101へ入力すると、まず、Y選択信号 Y_m およびX選択信号 X_n が選択オン電圧 V_G に遷移するタイミングで、N型MOSトランジスタ103と104がオン状態となる。この時、階調信号 D_n が容量102へ書き込まれ、スイープ信号 S_B とメモリ信号 S_M 間に2Bの電位差が保持される。この動作により、N型MOSトランジスタ103または104がオフ状態となっても、メモリ信号 S_M は、スイープ信号 S_B に対して2B分電圧レベルの高い階段波形となる。

【0016】メモリ信号 S_M は、N型MOSトランジスタ105及び106の動作を制御する信号となり、その電圧レベルが V_L 以上であれば、N型MOSトランジスタが106がオン状態となり、パルス信号 S_P はロー電圧 V_L となる。反対に電圧レベルが V_L 以下であれば、N型MOSトランジスタ106はオフ状態となり、パルス信号 S_P はハイ電圧 V_H となる。なお、図6の例において、パルス信号 S_P は、画素への階調情報の書込みが終了した次の周期から、最初の $(4T/9)$ 時間はロー電圧 V_L 、残りの $(5T/9)$ 時間はハイ電圧 V_H となり、この遷移を繰り返す。

【0017】パルス信号 S_P は、N型MOSトランジスタ107及びP型トランジスタ108で構成されたセレクトスイッチ回路の動作を制御する信号となり、その電圧レベルがロー電圧の時、N型MOSトランジスタが107がオフ状態、P型MOSトランジスタ108がオン状態となり、交流パルス信号 S_{ACP} は交流信号 S_{AC} となる。反対にパルス信号 S_P がハイ電圧の時、N型MOSトランジスタが107がオン状態、P型MOSトランジスタ108がオフ状態となり、交流パルス信号 S_{PAC} はセンタ電圧 V_C となる。なお、図6の例において、交流パルス信号 S_{ACP} は、画素への階調情報の書込みが終了した次の周期から、最初の $(4T/9)$ 時間は交流信号 S_{AC} 、残りの $(5T/9)$ 時間はセンタ電圧 V_C となり、この遷移を繰り返す。なお、センタ電圧 V_C の電圧レベルは、

ハイ電圧V_Hとロー電圧V_Lの中間レベルである。また、交流信号SACの電圧振幅はセンタ電圧V_Cを中心にそれぞれ α であり、これらはハイ電圧V_Hとロー電圧の範囲内である。

【0018】ここで、対向電極110に印加する電圧レベルはセンタ電圧V_Cであることから、液晶印加電圧波形は、交流パルス信号SACPとセンタ電圧V_Cの電圧差、すわち0Vを中心にした交流のパルス波形となる。これは先の図3で示した、階調2の液晶印加電圧波形と同じであることが判る。

【0019】なお、各入力信号の電圧レベルについては、前記した動作説明で逐次述べたが、これらの関係を図8にまとめて示す。

【0020】次に、本発明の画素101をマトリクス状に配置し、個々の画素に表示データに対応した表示輝度を与える動作について、図9～図11を用いて説明する。図9は、画素101をマトリクス状に配置した画素群901に対する、入力信号群との接続を示したものである。図9において、Y選択信号は横方向の画素に共通の信号として入力され、X選択信号及び階調信号Dは縦方向の画素に共通の信号として入力される。また、他の入力信号であるスイープ信号SB、交流信号SAC、及び入力電圧であるハイ電圧V_H、ロー電圧V_L、センタ電圧V_Cは、全画素共通である。なお、各画素の内部構成は先に示した画素101の構成と同じであり、また、対向電極110は全画素共通のべた電極であり、センタ電圧V_Cが入力される。

【0021】ここで、図10に示すように、画素群901のある一部分（Y選択信号Y0～Y2とX選択信号X0～X2が入力される画素）において、以下に示す4つの画素に順番に表示輝度を与える動作を説明する。

【0022】画素A：Y選択信号Y0とX選択信号X0の交点（階調3）、画素B：Y選択信号Y2とX選択信号X2の交点（階調1）、画素C：Y選択信号Y0とX選択信号X1の交点（階調0）、画素D：Y選択信号Y1とX選択信号X1の交点（階調2）

図11はY選択信号Y0～Y2とX選択信号X0～X2、及び階調信号D0～D2のタイミングチャートである。図11において、まず画素Aを選択するため、Y選択信号Y0とX選択信号X0が選択オン電圧V_Gに遷移し、このタイミングで階調信号D0は点線で示したスイープ信号SBに対して3B高い電圧レベルに遷移する。次に、画素Bを選択するため、Y2とX2が選択オン電圧V_Gに遷移し、このタイミングでD2はスイープ信号SBに対してB高い電圧レベルに遷移する。同様に、画素Cを選択するため、Y0とX1が選択オン電圧V_Gに遷移し、このタイミングでD1はスイープ信号SBと同じ電圧レベルに遷移する。最後に、画素Dを選択するため、Y1とX1が選択オン電圧V_Gに遷移し、このタイミングでD1はスイープ信号SBに対して2B高い電圧レベルに遷移する。

【0023】以上の動作により、画素A～画素Dには、それぞれ所望の階調情報に対応した信号レベルが個々に書き込まれ、これを先に説明した階調情報に対応した時間幅の交流パルス信号SACPに変換する。したがって、画素群901における所望の画素に対し、

所望の表示輝度を与えることが可能である。

【0024】次に、前記した入力信号群を生成する駆動手段を含む、液晶モジュールの構成と動作について、図12～図20を用いて説明する。図12は液晶モジュール1201の構成を示すブロック図であり、1202は駆動電圧生成部、1203はY選択信号生成部、1204はX選択信号生成部及び階調信号生成部である。また、液晶モジュール1201に入力する信号群は、表示データ、アドレス、イネーブル、システム電圧、GNDである。

【0025】まずはじめに、駆動電圧生成部1202の構成と動作について説明する。図13は駆動電圧生成部1202の構成を示すブロック図であり、基準電圧生成部1301、動作周期制御部1302、交流信号生成部1303、スイープ信号生成部1304から構成される。基準電圧生成部1301は、選択オン電圧VG、ハイ電圧VH、センタVC、ロー電圧VLを生成するブロックであり、図8で示した電圧レベルの関係となるように、各基準電圧を生成する。これは、例えば図14に示すように、まずシステム電圧を昇圧して選択オン電圧VGを生成し、その他の電圧レベルを、選択オン電圧VGとGNDレベルを抵抗分割することで生成可能である。次に、動作周期生成部1302は、図15に示すように、発振器1501、及び発振器の出力するクロック信号をカウントするカウンタ1502から構成される。ここで、発振器1502の出力するクロック信号の周期は、交流化周期Tの $(1/9)$ であり、0～17を繰り返しカウントする18進カウンタとする。交流信号生成部1303は、図15に示すように、分圧回路1503、カウントデコーダ1504、および分圧回路の出力をカウントデコーダの出力で選択するスイッチ1505から構成される。分圧回路1503はハイ電圧VHとロー電圧VLを分圧し、交流信号SACの電圧振幅である $+\alpha$ と $-\alpha$ の電圧レベルを出力する。カウントデコーダ1504は、カウンタ1502の出力をデコードしてスイッチ1505の制御信号を出力する。具体的には、カウント値が0～8の場合には“0”、9～17の場合には“1”を出力する。スイッチ1505は、制御信号が“0”の場合には $-\alpha$ の電圧、“1”の場合には $+\alpha$ の電圧を選択し、交流信号SACとして出力する。以上の動作により、交流信号SACは、図6に示した周期T毎に電圧レベルが $+\alpha$ 、 $-\alpha$ に遷移する信号波形となる。次に、スイープ信号生成部1304は、図16に示すように、分圧回路1601、カウントデコーダ1602、スイッチ1603、加算器1604から構成される。分圧回路1601は、ハイ電圧VHとGNDを分圧し、スイープ信号SBの基になるB、2B、3Bの電圧レベルを出力する。カウントデコーダ1602は、カウンタ1502の出力をデコードしてスイッチ1603の制御信号を出力する。具体的には、カウント値が0または9の場合には“0”、1～3または10～12の場合には“1”、4～8または13～17の場合には“2”を出力する。スイッチ1603は、制御信号が“0”の場合には2B、“1”の場合にはB、“2”の場合にはGNDの電圧を選択し、スイープ信号SBとして出力する。以上の動作により、スイープ信号SBは、図6に示したように、周期Tにおけるはじめの $(T/9)$ 時間は2B、次の $(3T/9)$

9) 時間は 8 、最後の $(5T/9)$ 時間はGNDレベルに遷移する信号 波形となる。また、加算器1604は、スイープ信号 SB に 8 、 28 、 38 の電圧レベルをそれぞれ加算し、 $SB+8$ 、 $SB+28$ 、 $SB+38$ として出力する。なお、これらの信号 は、階調信号 D を生成するための信号 として使用される。

【0026】次に、Y選択信号 生成部1203の構成と動作について説明する。Y選択信号 生成部1203は、図17に示すように、Yアドレスデコーダ1701と、選択信号 セレクタ1702から構成され、入力信号 はYアドレス、イネーブル、入力電圧は選択オン電圧 V_G 、GNDである。Yアドレスデコーダ1701は、図19に示すように、イネーブル信号 が“ハイ”の時、Yアドレス信号 で指定されたラインが“ハイ”となるAY信号 を出力する。そして、選択信号 セレクタ1702は、AY信号 が“ハイ”を出力するラインの電圧レベルを選択オン電圧 V_G 、それ以外のラインの電圧レベルをGNDに遷移させ、Y選択信号 として出力する。なお、図19は先の図11に示した、Y選択信号 $Y0 \sim Y2$ の動作を実現するための、Yアドレスとイネーブルの入力を示しており、Yアドレスの00h、01h、02hは、それぞれY選択信号 $Y0$ 、 $Y1$ 、 $Y2$ を選択するためのアドレスを意味する。

【0027】次に、X選択信号 生成部及び階調信号 生成部1204の構成と動作について説明する。X選択信号 生成部及び階調信号 生成部1204は、図18に示すように、Xアドレスデコーダ1801、選択信号 セレクタ1802、データ信号 セレクタ1803から構成され、入力信号 はXアドレス、イネーブル、表示データ、およびスイープ電圧 SB 、 $SB+8$ 、 $SB+28$ 、 $SB+38$ であり、入力電圧は選択オン電圧 V_G 、GNDである。まず、Xアドレスデコーダ1801は、図20に示すように、イネーブル信号 が“ハイ”の時、Xアドレス信号 で指定されたラインが“ハイ”となるAX信号 を出力する。そして選択信号 セレクタ1802は、AX信号 が“ハイ”を出力するラインの電圧レベルを選択オン電圧 V_G 、それ以外のラインの電圧レベルをGNDに遷移させ、X選択信号 として出力する。一方、データ信号 セレクタ1803は、AX信号 が“ハイ”を出力するラインに対し、表示データの値に応じ SB 、 $SB+8$ 、 $SB+28$ 、 $SB+38$ の電圧レベルから1レベルを選択し、それ以外のラインはGNDに遷移させ、階調信号 D として出力する。なお、表示データと階調信号 D との選択の関係は、図7に示した階調データと階調信号 D の関係と等しい。また、図20は先の図11に示した、X選択信号 $X0 \sim X2$ 及び階調信号 $D0 \sim D2$ の動作を実現するための、アドレスとイネーブルの入力を示しており、Xアドレスの00h、01h、02hは、それぞれX選択信号 $X0$ 、 $X1$ 、 $X2$ を選択するためのアドレスを意味する。

【0028】以上の動作により、液晶モジュール1201は、アドレス、イネーブル信号 、表示データを入力することにより、メモリ機能を具備した所望の画素に、所望の表示輝度を与えることが可能となる。

【0029】次に、前記したアドレス、イネーブル信号 、表示データを生成し、液晶モジ

ユーラ 1201へ出力する、液晶コントローラの構成と動作について、図21～図26を用いて説明する。図21は液晶コントローラ2101の構成を示すブロック図であり、2102はシステムインタフェース、2103はコマンドデコーダ、2104は制御レジスタ、2105はリード制御部、2106はメモリ制御部、2107は表示メモリである。また、液晶コントローラ2101に入力する制御信号群は、液晶を表示装置に持つ装置全体のシステムバスから供給されるものとする。表示の書き換えは、全てMPUによって制御されており、書き換え命令が実行されると、システムバスから書き換え部分の情報（アドレスとデータ）が液晶コントローラに転送される。システムバスから供給される制御信号群の転送のフォーマットは、いわゆる68系MPUのバスインタフェースに準拠している。つまり、液晶コントローラ2101は、表示データの変化した情報をMPUから受け取ることとなる。より具体的には、MPUは各画素毎に1フレーム前と現在のフレームとで階調が異なる場合、階調を表す表示データを液晶コントローラ2101に転送し、階調が変化しない画素については表示データを転送しない。本発明の液晶表示装置においては、各画素について階調が変化しない期間（リフレッシュ動作を除く）、書く画素毎に配置されたメモリ手段（容量102）が、階調信号に対応した電圧レベルを保持できるので、静止画や動きの少ない動画については、各フレーム毎に全ての画素に階調電圧を印加させる必要がなく低消費電力を実現できる。

【0030】図22に示す6種類の制御信号CS、ADS、MRS、E、RW、DATAで構成され、各信号の意味は図22に記載した通りである。これらの信号はシステムインタフェース2102を経由し、コマンドデコーダ2103へ入力される。

【0031】コマンドデコーダ2103は、入力される制御信号群の情報から、入力されるDATAがレジスタデータ、表示データ、またはそれらのアドレスかを判別し、図23に示すように、ライドアドレスであるWADD信号、ライトデータであるWDATA信号、メモリ用のライトイネーブルであるWE_A信号、レジスタ用のライトイネーブルであるWE_B信号を、それぞれE信号の“ハイ”に同期して出力する。なお、WADD信号が表示データのアドレスである場合、16ビット中の上位8ビットは前記Yアドレス、下位8ビットはXアドレスを意味する。

【0032】制御レジスタ2104は、前記信号の中から、WADD信号、WDATA信号、WE_B信号を受け、WADD信号で指定されたアドレスに、WDATA信号のデータを、WE_B信号の“ハイ”に同期して格納する。なお、格納されたレジスタデータは、液晶コントローラ2101を制御するための信号群となるが、これらの動作説明については、ここでは省略する。

【0033】次に、リード制御部2105は、表示メモリ2107の読出しを制御するブロックであり、リードアドレスRADD信号と、リードイネーブルRE信号を生成して出力する。具体的には、例えば図24に示すように、表示読出し期間において、RADD信号は0000hから順にインクリメントし、この間RE信号は“ハイ”に遷移する。そし

て、1画面分の表示データのアドレス全てが指定されると、インクリメントが停止し、RE信号が“ロー”に遷移する。この一連の動作を間欠的に繰り返す。なお、表示データの読出し期間であっても、ライトイネーブルであるWE_A信号が“ハイ”の場合には、アドレスのインクリメントは停止し、RE信号も“ロー”に遷移する。また、16ビットのRAD信号の内、上位8ビットはYアドレス、下位8ビットはXアドレスを意味する。

【0034】次にメモリ制御部2106は、表示メモリ2107の書込み、読出しを制御する部分であり、図25に示すように、WE_A信号が“ハイ”の時にはライト用、WE_A信号が“ロー”の時にはリード用の、アドレス、データ、イネーブル信号を選択し、それぞれMADD信号、MDATA信号、MRE信号、MWE信号として、表示メモリ2107へ出力する。またこれとは別に、前記したアドレス、表示データ、イネーブルは、液晶モジュール1201へ、表示データ、アドレス、イネーブルとして出力される。ここで、表示データはMPUの命令でシステムバスから転送される、複数ビットの階調情報を持つデータであり、液晶モジュール1201において、この階調情報に応じた電圧レベルとしてD_n線に印加されるものとなる。なお、イネーブルと表示データの出力タイミングを模式的に示すと、図26のようになり、ある周期で1画面分の表示データが間欠的に出力され、書換える必要が発生した部分の表示データは、この周期とは関係で随時出力される。なお、ある周期で1画面分の表示データを間欠的に出力する理由は、画素101内の容量102に蓄積された電荷のリークを考慮し、電荷をリチャージするためである。この周期の求め方の指針としては、まず、リークによるメモリ信号SMの電圧降下量が($B/2$)以上になると、隣接の階調であると誤認され、これに応じたパルス信号SPが生成されてしまう。したがって、メモリ信号SMの電圧降下量が($B/2$)になる前に表示データを転送し、リチャージを行う必要がある。具体的な数値で考えると、例えば($B/2$)が1V、容量102が1pF、リーク電流が0.1pAの場合、($B/2$)電圧の放電時間は10秒となるため、この周期で表示データを転送すればよい。これは、従来技術の転送周期である($1/60$)秒と比較して600倍も長い。

【0035】以上述べた、液晶コントローラ2101の構成と動作により、システムバスから供給される制御信号群から、先に示した液晶モジュール1201の入力信号を生成することが実現可能である。

【0036】以上、本発明第1の実施の形態に係る液晶モジュール1201は、例えば静止画を表示する場合、画素部に設けたメモリ手段がデータを保持する時間、Y選択信号、X選択信号、及び階調信号Dを変化させる必要がなく、また、交流化は、表示データの入力等とは非同期に実現できる。一方、本発明第1の実施の形態に係る液晶コントローラ2101は、例えば静止画を表示する場合、画素部に設けたメモリ手段がデータを保持する時間、表示データを出力する必要がある。したがって、従来の技術に比べて消費電力を低く抑えられる効果がある。

【0037】また、本発明第1の実施の形態に係る液晶モジュール1201は、メモリ機

能を画素部に具備すると共に、表示データの含む階調情報量が増加しても、表示データを伝達するための配線を1画素あたり1本に抑えることが可能であり、回路の複雑化を回避できる。したがって、低価格な液晶表示装置を提供することができる。

【0038】なお、本発明第1の実施の形態に係る液晶モジュール1201と液晶コントローラ2101を用いたシステムの一例として、携帯電話のブロック構成を図27に示す。図27に示すように、全て周辺装置はシステムバスに接続され、これらは全てMPUで制御される。

【0039】次に、本発明第2の実施の形態を図28～31を用いて説明する。まず、本発明第1の実施の形態では、交流化周期Tの中で、階調データに応じた時間、振幅 α の電圧を液晶に印加するが、この電圧印加時間は、例えば[階調データ/(階調数-1)]の2乗から求めることができる。この式を基に、階調数8及び16における、各階調データの電圧印加時間を求めると、図28に示すようになる。このように、本発明第1の実施の形態では、交流化周期Tを(階調数-1)の2乗で分割することから、階調データの値が小さい部分(例えば階調データ1)における電圧印加時間は、階調数の増加に伴い急激に短くなる。

【0040】これに対し、本発明第2の実施の形態は、交流化周期Tを(階調数-1)で均等に分割し、階調データに応じた時間、液晶に電圧を印加する方法について述べる。

【0041】まず、交流化周期Tを(階調数-1)で均等に分割した場合、振幅を α 固定にすると各階調毎の液晶印加電圧の実効値が指数的に変化する。このため、階調データと液晶印加電圧実効値(表示輝度)のリニアリティが損なわれ、所望の表示輝度が得られない。そこで、振幅を α に固定するのではなく、分割された時間毎に振幅を変化させることを考えた。例えば、図29に示すような、分割時間毎に振幅が $\sqrt{(2/3)} \times \alpha$ ずつ増加する電圧波形と、パルス幅制御を組合せることで、先の図3に示した交流パルス波形と、各階調毎の液晶印加電圧実効値を等価にすることができる。一般的には、交流周期をTを(階調数-1)で分割する場合、パルス信号の振幅を、分割期間毎に $\sqrt{[2/(階調数-1)]} \times \alpha$ ずつ増加させることで、階調データと表示輝度のリニアリティを得ることができる。

【0042】なお、この動作を実現するためには、例えば図30に示すように、スイープ信号SBを、(T/3)毎に2BからGNDレベルに遷移する階段波形とし、階調信号Dnはこのスイープ信号SBを基に生成される波形とすれば良い。また、交流信号SACは、分割期間毎に、図30に示した電圧レベルに遷移する波形とすれば良い。これは液晶モジュール内に具備された駆動電圧生成部の回路を変更することで容易に実現可能である。

【0043】以上述べた、本発明第2の実施の形態によれば、交流化周期Tを(階調数-1)で均等に分割する方法において、本発明第1の実施の形態と等しい階調データ表示輝度特性を得ることができる。したがって、本発明第1の実施の形態と比べ、階調データの値が小さい部分(例えば階調データ1)における液晶への電圧印加時間を長くすることが可能である。

【0044】さらに、図31に示すように、交流化周期T毎にスイープ信号SBの位相を反転させると、スイープ信号SBの周波数を低減することができる。これにより、消費電力をより低減させることが可能である。

【0045】次に本発明第3の実施の形態を、図32～図37を用いて説明する。本発明第3の実施の形態は、画素内部のトランジスタ数を削減可能な、マトリクス型液晶表示装置について述べたものである。

【0046】図32は、本発明第3の実施の形態に係るマトリクス型液晶表示装置における、m行n列番目の画素の構成を示す図である。画素3201は、本発明第1及び第2の実施の形態に係る画素101と比較し、X選択信号によって制御されるN型のMOSトランジスタが削除された構造となっており、残りの回路素子、および入力信号波形は、画素101と同じであり、同じ動作を行う。また図33は、画素3201をマトリクス状に配置した画素群3301に対する、入力信号群との接続を示したものであるが、これも、本発明第1及び第2の実施の形態に係る画素群901の構成と比較し、X選択信号が削除された点以外は同じである。

【0047】このように、本発明第3の実施の形態は、X選択信号を用いることなく、個々の画素に対して所望の表示輝度を与えることを目的とする。ここで、X選択信号がない場合、Y選択信号が選択オン電圧に遷移したライン上の全ての画素は、階調電圧Dが書き込まれる状態になる。そこで、Y選択信号が選択オン電圧に遷移したライン上の画素に対しては、階調情報が変化する／しないによらず、一斉に階調電圧Dを印加する動作を行うことにした。

【0048】この動作の一例として、先の図10で示した、4つの画素に順番に表示輝度を与える場合を説明する。なお、図10において、変化なしと記載された画素は、全て階調0に対応した表示輝度が予め与えられているものとする。

【0049】図34はY選択信号Y0～Y2と階調信号D0～D2のタイミングチャートである。図34において、まず画素Aを選択するため、Y選択信号Y0が選択オン電圧VGに遷移する。この時Y0が印加されるライン上には下記の画素がある。

【0050】

画素A (Y0とD0の交点：階調3)

画素C (Y0とD1の交点：階調0)

変化無しの画素 (Y0とD2の交点：階調0)

したがって、このタイミングで階調信号D0は点線で示したスイープ信号SBに対して3B高い電圧レベル、D1及びD2はスイープ信号SBと同じ電圧レベルに遷移する。次に、画素Bを選択するため、Y2が選択オン電圧VGに遷移し、同様にこのタイミングで、D2はスイープ信号SBに対して8高い電圧レベル、D0及びD1はスイープ信号SBと同じ電圧レベルに遷移する。同様に、画素Cを選択するため、Y0が選択オン電圧VGに遷移し、このタイミングでD0はスイープ信号SBに対して3B高い電圧レベル、D1

及びD 2はスイープ信号 SBと同じ電圧レベルに移移する。最後に、画素Dを選択するため、Y 1が選択オン電圧VGに移移し、このタイミングでD 1はスイープ信号 SBに対して2B高い電圧レベル、D 0及びD 2はスイープ信号 SBと同じ電圧レベルに移移する。

【0051】以上の動作により、画素A～画素Dには、それぞれ所望の階調情報に対応した信号レベルが個々に書き込まれ、これを先に説明した階調情報に対応した時間幅の交流パルス信号 SACPに変換する。したがって、画素群3301における所望の画素に対し、所望の表示輝度を与えることが可能である。

【0052】次に、前記した入力信号群を生成する駆動手段を含む、液晶モジュールの構成と動作について、図35～図37を用いて説明する。図35は液晶モジュール3501の構成を示すブロック図であり、階調信号生成部3502以外は、本発明第1及び第2の実施の形態に係る液晶モジュール1201の構成と同じであり、同じ動作を行う。また、液晶モジュール3501に入力する信号群は、表示データ、リセット、クロック、イネーブル、Yアドレス、システム電圧、GNDである。以下、階調信号生成部3502の構成と動作について説明する。

【0053】階調信号生成部3502は、例えば図36に示すように、データラッチ3601、データ信号セクタ3602から構成され、入力信号は表示データ、リセット、クロック、イネーブル、及びスイープ電圧SB、SB+B、SB+2B、SB+3Bである。まず、データラッチ3601は、図37に示すように、リセットの“ハイ”に同期して初期化され、その後、クロックの立上りに同期して表示データを順次取り込み、これをAD0～ADnとして出力する。そしてデータ信号セクタ3602は、イネーブルが“ハイ”の期間、表示データADの値に応じSB、SB+B、SB+2B、SB+3Bの電圧レベルから1レベルを選択し、また“ロー”の期間はGNDを、階調信号Dとして出力する。なお、表示データと階調信号Dとの選択の関係は、図7に示した階調データと階調信号Dの関係と等しい。このように、階調信号生成部3502は、Yアドレスで選択されたライン上の全画素分の表示データを一旦取り込み、その後イネーブルに同期し、表示データを階調信号Dに変換して出力する動作を行う。

【0054】なお、前記した表示データ、リセット、クロック、イネーブル、及びYアドレスを生成し、液晶モジュール3501へ出力するための液晶コントローラは、先の図21で示した本発明第1及び第2の実施の形態に係る液晶コントローラ2101の構成と動作を基に、若干の修正を加えることで実現可能である。この詳細については説明を省略するが、要はシステムバスから入力される表示データを表示メモリに書き込んだ後、この表示データを含むライン上の表示データを順次読み出し、同期クロックと共に出力すればよい。また、リセットとイネーブルについては、図37で示したように、1ライン分の表示データを出力する前と後に、それぞれ“ハイ”を出力すればよい。

【0055】以上、本発明第3の実施の形態に係る液晶表示装置は、本発明第1及び第2の実施の形態と同様、従来の技術に比べて消費電力を低く抑えらる効果があるのに加え、

画素内部のトランジスタ数が削減できることから、より低価格な液晶表示装置を提供することができる。なお、本発明第3の実施の形態の液晶表示装置に、本発明第2の実施の形態に係る信号波形を印加することは勿論可能であり、これにより、前記した効果と同じ効果を得ることができる。

【0056】なお、本発明の実施の形態においては、4階調表示を例に説明したが、これに限定される訳ではない。例えばより多くの階調を表示するには、交流化周期 T の分割数を多くし、これに応じてスイープ信号 S のステップを細かくすることで、実現可能である。また、本発明の実施の形態においては、スイープ信号の波形を階段波形として説明したが、これに限定される訳ではない。

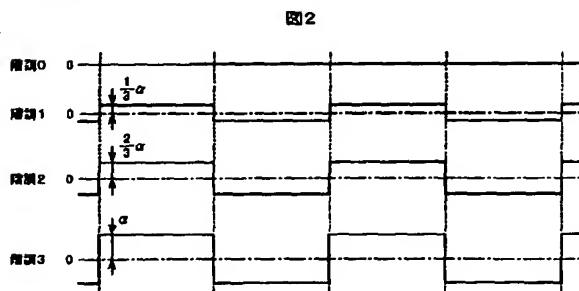
【0057】また、本発明の画素群は、ポリシリコンTFT素子を用いて形成することが望ましく、これにより、高性能かつ低コストで製造することが可能である。さらに、周辺の信号生成部、駆動電圧生成部までを含む液晶モジュールを、ポリシリコンTFT素子で一体形成しても良い。これにより、さらに製造コストを下げる事が可能である。

【0058】

【発明の効果】本発明によれば、例えば静止画を表示する場合、画素部に設けたメモリ手段がデータを保持する時間、Y選択信号、X選択信号、及び階調信号 D を変化させる必要がなく、また、交流化は、表示データの入力等とは非同期に実現できる。一方、液晶コントローラは、画素部に設けたメモリ手段がデータを保持する時間、表示データを出力する必要がない。したがって、従来の技術に比べて消費電力を低く抑えられる効果がある。

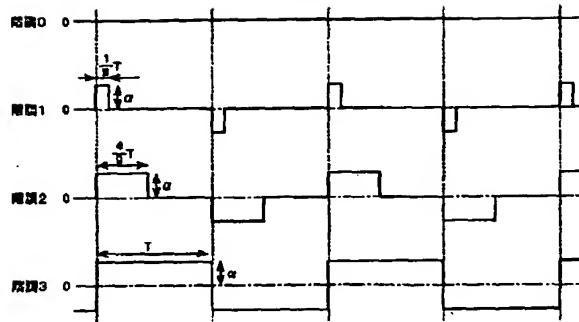
【0059】また、表示データの含む階調情報量が増加しても、表示データを伝達するための配線を1画素あたり1本に抑えることが可能であり、回路の複雑化を回避でき、低価格な液晶表示装置を提供することができる。

【図2】



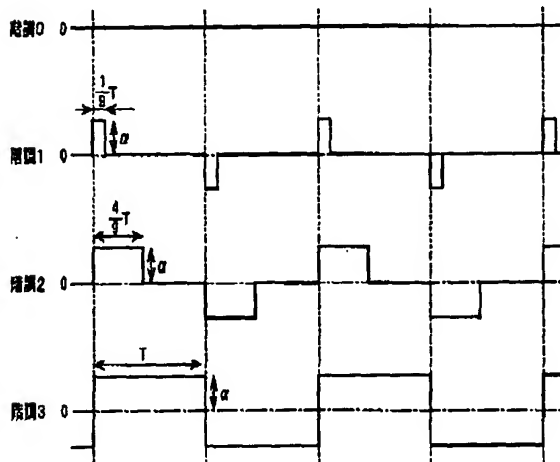
【図3】

図3



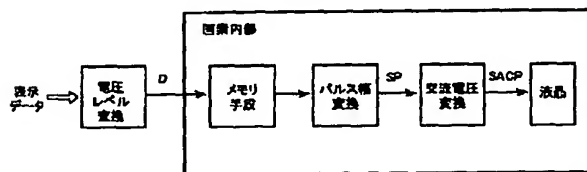
【図 1】

図3



【図 4】

図4



【図 5】

The block diagram illustrates the control system for the image display device. It includes the following components and connections:

- 外部信号 D** (External signal D) is input to the **メモリ手段** (Memory means).
- The output of the **メモリ手段** is added to the output of the **スリプ信号** (Sleep signal) at a summing junction (+).
- The result is fed into the **DM** (Data Memory) block.
- The output of the **DM** block is connected to a switch controlled by **ハイ電圧** (High voltage) and **センサ電圧** (Sensor voltage).
- The output of this switch is connected to another switch controlled by **D-電圧** (D-voltage).
- The output of the second switch is connected to the **SACP** (Signal Amplifier and Control Processor) block.
- The output of the **SACP** block is connected to the **画面電極** (Screen electrode) and the **対向電極** (Counter electrode).
- The **交差信号** (Crossing signal) is also connected to the **画面電極** and **対向電極**.

5

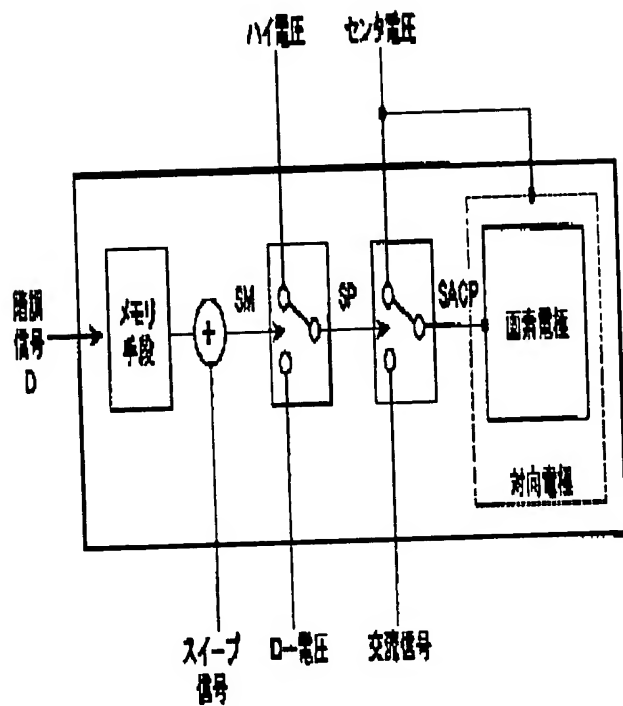
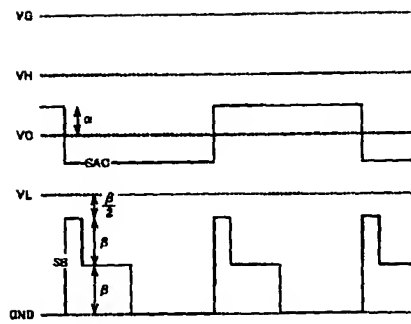


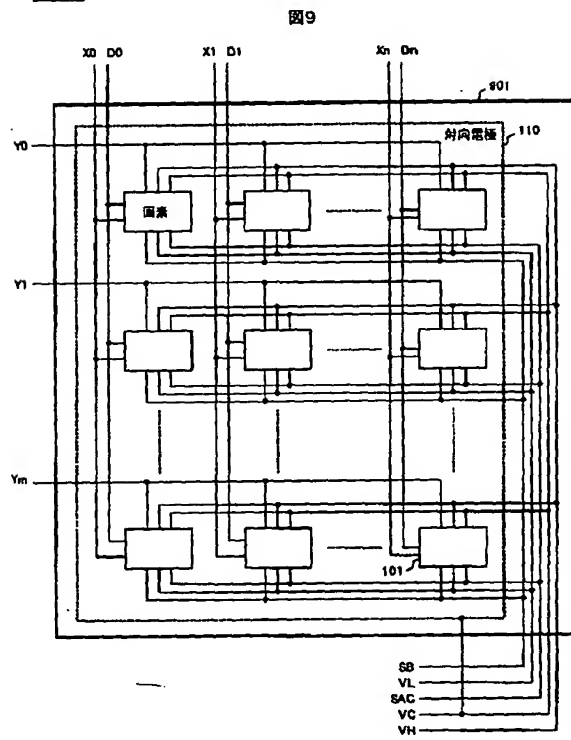
圖7

	階級0	階級1	階級2	階級3
階級番号 0nの 電圧レベル	VB	$VB + \beta$	$VB + 2\beta$	$VB + 3\beta$

【図 8】

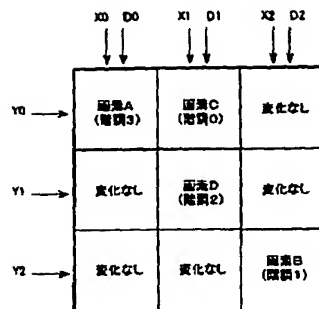


【図9】



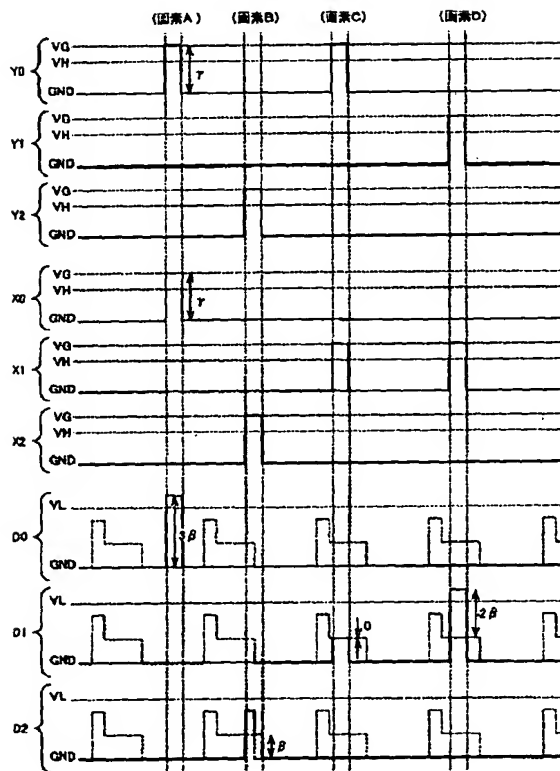
【図 10】

図10



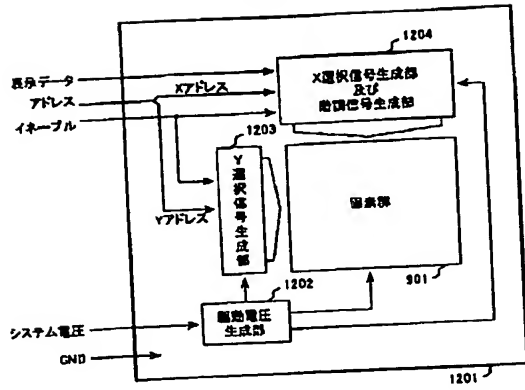
【図11】

図11



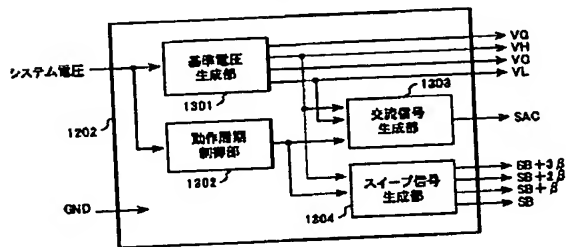
【図12】

図12



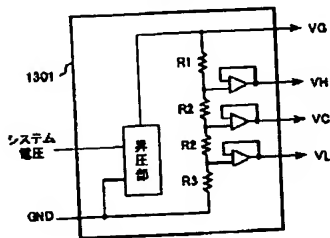
【図13】

図13



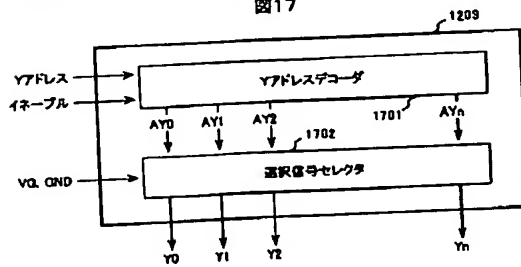
【図14】

図14



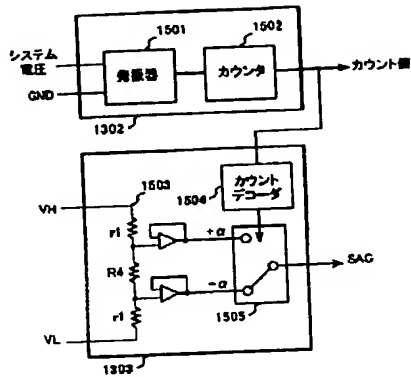
【図17】

図17



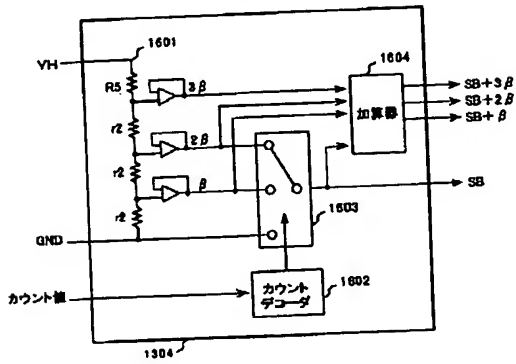
【図15】

図15



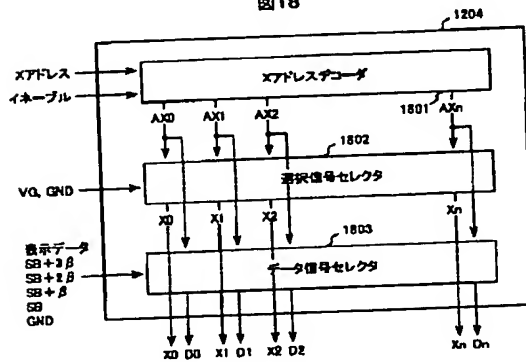
【図16】

図16



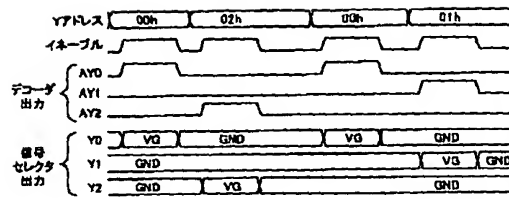
【図18】

図18



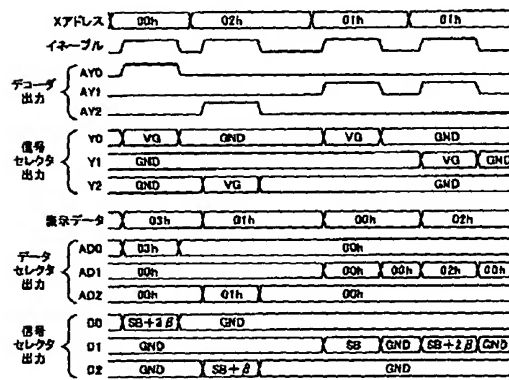
【図19】

図19



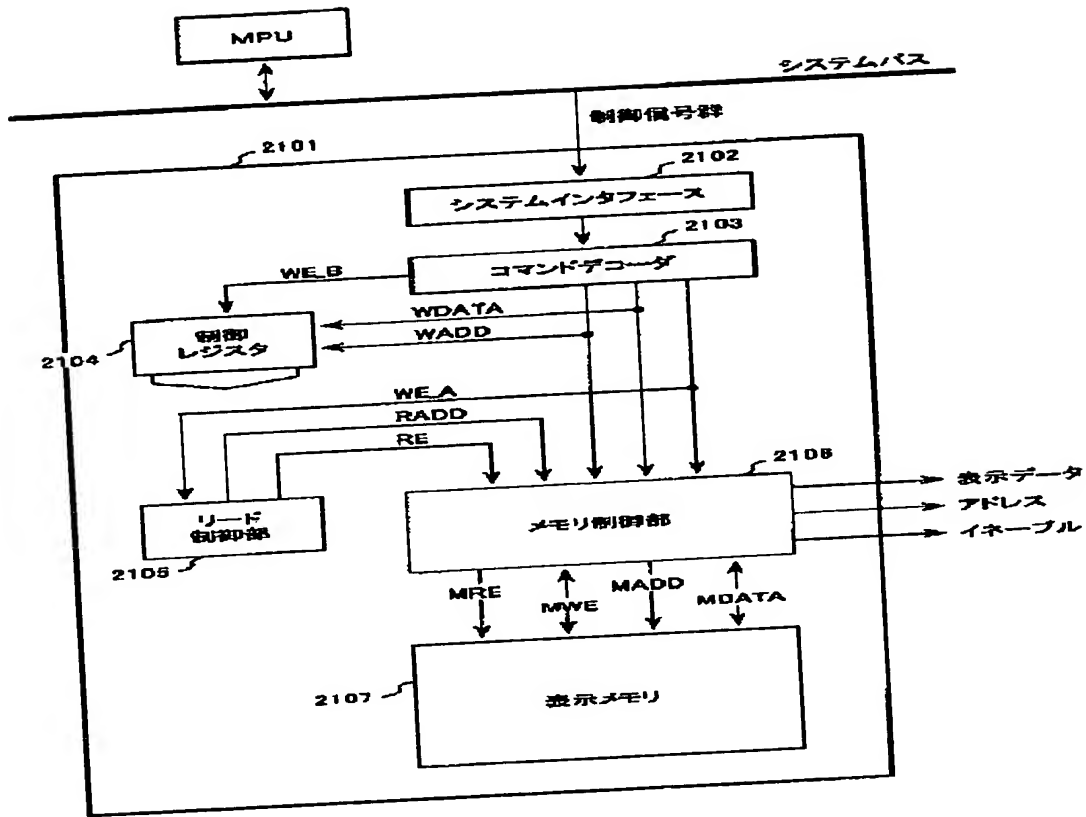
【図20】

図20



【図21】

図21



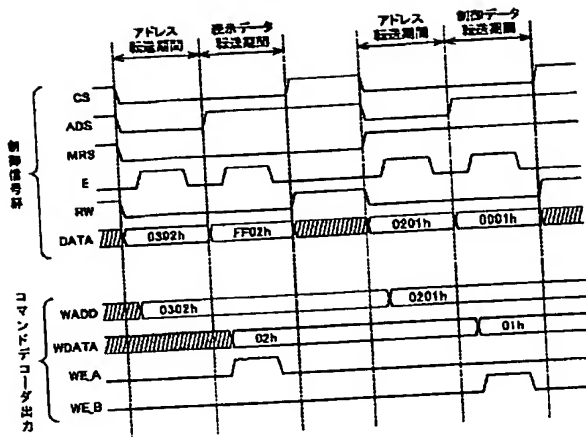
【図22】

図22

信号名	意味	"ロー"	"ハイ"
CS	チップの選択	アクセス可	アクセス不可
ADS	アドレス/データの選択	アドレス	データ
MRS	メモリ/アドレスの選択	メモリ	アドレス
E	データ書き込み/読出しの起動	お読み	起動
RW	データ書き込み/読出しの選択	書き込み	読出し
DATA	16ビット双方向データ	—	—

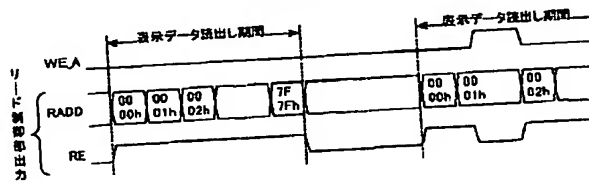
【図23】

図23



【図24】

図24



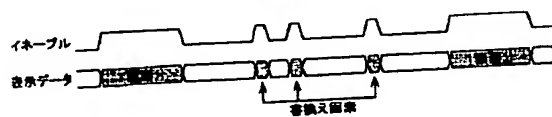
【図25】

図25

	WE.A=ハイ	WE.A=ロー
MADD	WADD	RADD
MDATA	WDATA	RDATA (メモリ出力)
MRE	RE	RE
MWE	WE.A	WE.A
表示データ	WDATA	RDATA
アドレス	WADD	RADD
イネーブル	WE.A	RE

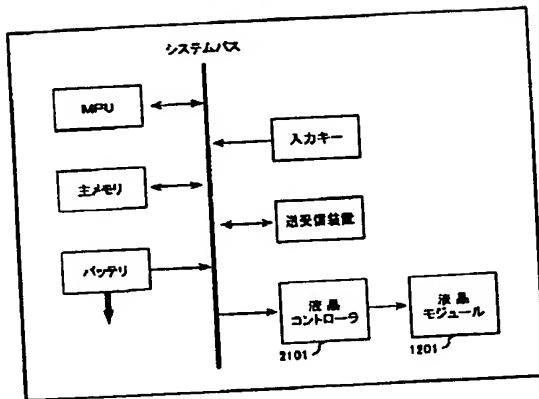
【図26】

図26



【図27】

図27



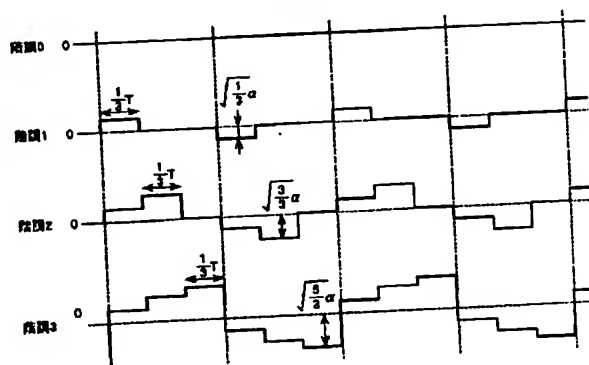
【図28】

図28

階調数が8の場合		階調数が16の場合	
階調データ	電圧印加時間	階調データ	電圧印加時間
0	(0 / 49) T	0	(0 / 225) T
1	(1 / 49) T	1	(1 / 225) T
2	(4 / 49) T	2	(4 / 225) T
3	(9 / 49) T	3	(9 / 225) T
⋮	⋮	⋮	⋮
7	(49 / 49) T	15	(225 / 225) T

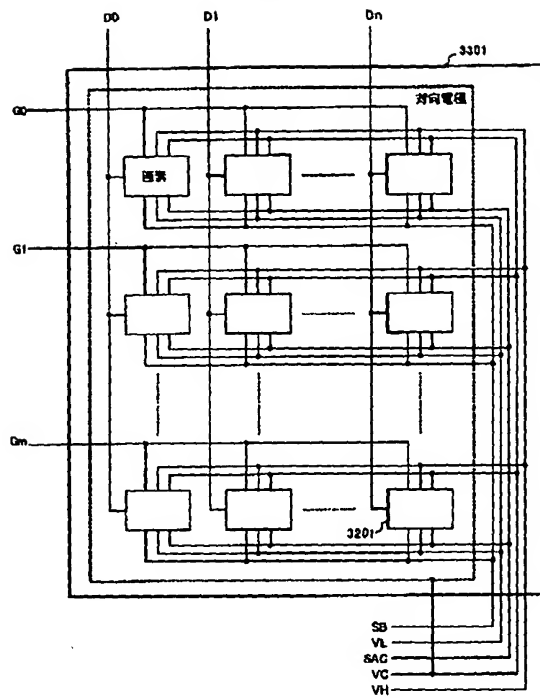
【図29】

図29



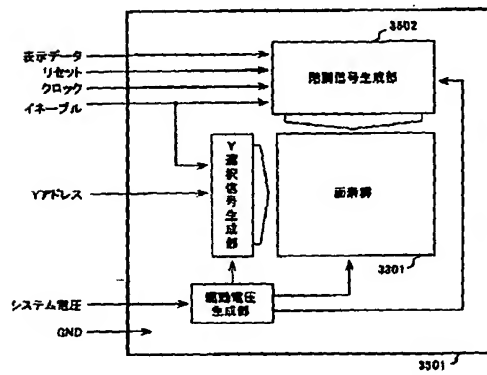
【図30】

図33



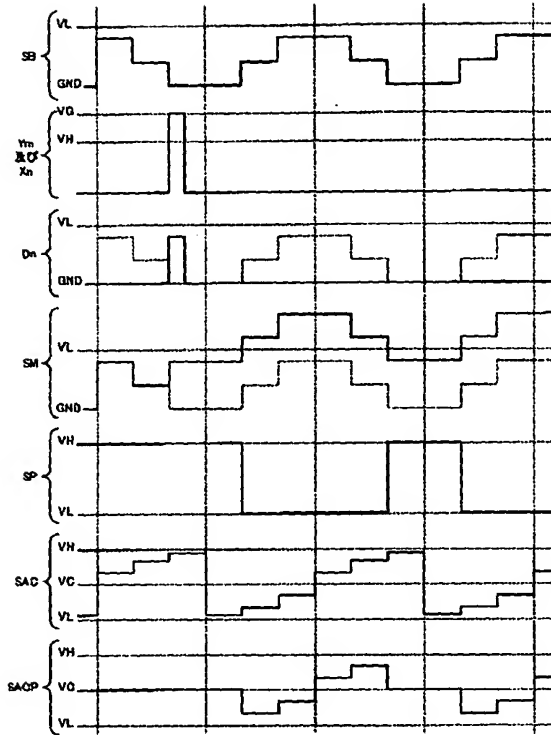
【図35】

図35



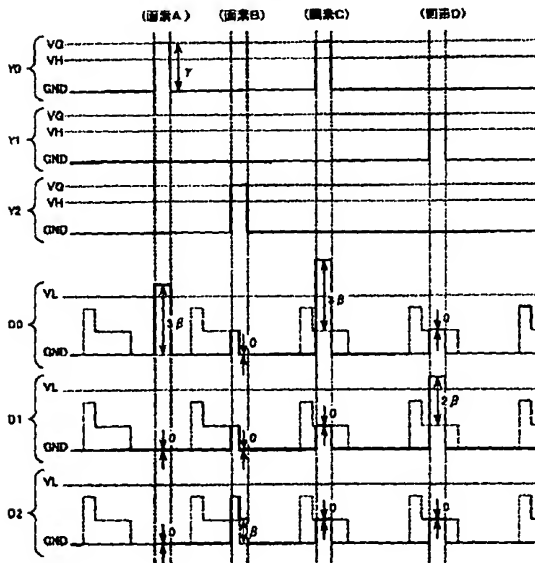
【図31】

图31

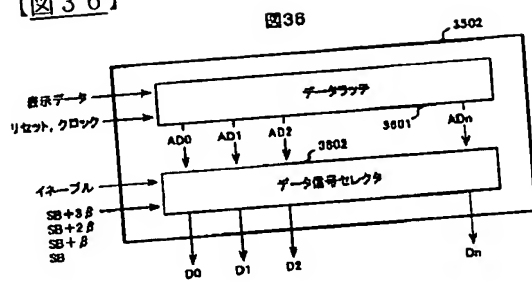


【图34】

图34



【図36】



【図37】

